POWER SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent number:

JP2002231820

Publication date:

2002-08-16

Inventor:

YAMAMOTO TETSUYA

Applicant:

SANYO ELECTRIC CO LTD

Classification:

- international:

H01L21/8234; H01L27/06; H01L27/00; H01L27/088; H01L29/786; H01L29/78; H01L27/09

H01L29/80; H01L29/861

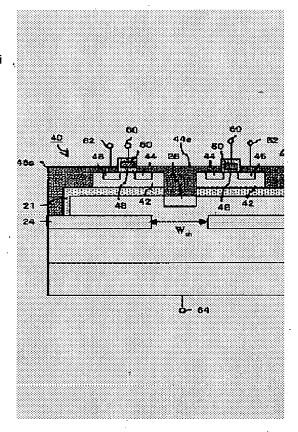
- european:

Application number: JP20010021939 20010130

Priority number(s):

Abstract of JP2002231820

PROBLEM TO BE SOLVED: To provide a power semiconductor device where on-resistance is low and normally-off operation can be performed. SOLUTION: A normally-off type MOSFET 40 composed of Si is formed on a normally-on type JFET 20 composed of SiC, and the JFET 20 and the MOSFET 40 are electrically connected each other so that the normally-off operation can be performed using the whole power semiconductor device 100 and the JFET 20 portion can secure most of breakdown voltage. Thus, in the JFET20 composed of SiC, the breakdown voltage can be made high. As a result, in comparison with the power semiconductor device composed of only Si, of the same breakdown voltage, the on-resistance can be made low as a whole, and the normally-off operation is performed as a whole and thus low power consumption of the whole circuit system can be realized.



BEST AVAILABLE COPY

(2)

(A) 4 H. 华 噩 **8** (19) 日本国格許庁 (JP)

特開2002-231820 (11)特許出顧公開番号

(P2002-231820A)

(43)公開日 平成14年8月16日(2002.8.16)

(51) Int C.7		10001100年		F 1			*	デージード (物域)
H01L	21/8234			H01L			301A	5F048
	90/12				29/78		652T	5F102
	00/12	301					653A	5 P 1 1 0
	880/12						656C	
	881/62		•		90/12		102A	
			機械競技	未難決 3	請求項の数7 01	0	(全8頁)	最其其口統へ

最終頁に嵌く 111 大阪府守口市京阪本通2丁目5番5号 大阪府中口市京阪本通 2 丁目 5 番 5 号 (外2名) 中国十二年 日 中二十二 三秤覧機株式会社 许气模株式会社内 山本 有由 000001889 100075258 (71) 出國人 (74) 代理人 (72) 発明者 **怜頃2001-21939(P2001-21939)** 平成13年1月30日(2001.1.30) (21)出版等等 (22) HINTE

(54) 【発明の名称】 パワー半導体設置及び半導体装置の製造方法

(21) (財色)

【県題】 オン抵抗が低くノーマリーオフ動作すること かできるパワー半導体装配を提供すること。

【解決手段】 ノーマリーオン型でSiCからなるJF **電気的に接続した。こうすると、SiCからなるJFE** T20で高耐圧化が可能となるので、Siのみからなる **町附圧のパワー半導体装置と比較して全体としてオン抵** オフ動作するので回路システム金体としての低消費電力 ET20上にノーマリーオフ型でSiからなるMOSF BT40を形成し、パワー半導体装置100金体でノー マリーオフ動作しJFET20部分が耐圧のほとんどを 徴保で含るようにJFET20とMOSFET40とを **汽を低くすることができると共に金体としてノーマリー** 化を図ることができる。

BEST AVALLE COPY

「鶴米瓜1】 外部からの制御臨田に応じたオンオンか 5ノーマリーオフ型の第1のゲート型半導体繋子により フを制御してスイッチング動作を行なうパワー半導体装 ーマリーオン型の第2のゲート型半導体繋子のオンオ

||体探子は、前記半導体基板に形成され炭化珪栞と異な 「簡求項2】 前記第1のゲート型半導体繋子は、前記 第2のゲート型半導体索子上に形成されていることを特 前記第2のゲート型半導体案子は、炭化珪素の半導体基 仮に形成され炭化珪素からなり、前配第1のゲート型半 る材料からなることを特徴とするパワー半導体装置。

【醋欢項3】 前記半導体基板の前記第2のゲート型半 **尊体茶子の形成面と異なる面側に配置された第1の電極** 数とする耐水項1に記載のパワー半導体装置。

虹極と対となり前記第2のゲート型半導体繋子から前記 前記第2のゲート型半導体案子上に配置され前記第1の 第1のゲート型半導体素子を介して電流を取り出す第2 の価値と、

[0000]

第3の電極と、を備えることを特徴とする静水項2に記 前記第1のゲート型半導体繋子のオンオフ制御を行なう 既のパワー半導体装配。

ト型半導体発子と並列に接続された環流ダイオードとを 1. 故化珪素からなり、前記ゲート型半導体案子は、前記 4.導体基板に形成され炭化珪素と異なる材料からなるこ 【酵炊頃4】 外部からの制御取用に応じてオンオフす 8ノーマリーオフ型のゲート型半導体繋子と、前記ゲー 前記環流ダイオードは、炭化珪素の半導体基板に形成さ **類えるパワー半導体装団であって、**

【爾坎頂5】 前記グート型半導体案子は、前記環流ダ **/オード上に形成されていることを特徴とする顔求項 4** こ記載のパワー半導体装配。

を特徴とするパワー半導体装置。

「請求項6] 一の導配型の半導体材料からなる第1半

専体圏内に他の導電型の半導体材料からなり所定距離を 隔てて配置された二つの第2半導体圏を備える半導体装 **訳の製造方法であって、**

前記一の導虹型の半導体材料からなる第1準備層を形成 する第1準備層形成工程と、

前記第1準備層上に前記所定距離と略同一の幅の埋め込 み層を形成する埋め込み層形成工程と、

前記埋め込み層の周辺に前記第2半導体層を形成する第 前記埋め込み層を選択的にエッチングする埋め込み層エ 2 半導体層形成工程と、

前記第1準備層上に前記一の導電型の半導体材料からな る第2準備層を形成し、第1準備層と第2準備層とから なる第1半導体層を形成する第1半導体層形成工程と、 5備えることを特徴とする半導体装団の製造方法。

【醋次頃7】 前記半導体材料は、数化珪架であること を特徴とする聯求項6に記載の半導体被匿の製造方法。 [発明の詳細な説明]

【発明の属する技術分野】本発明は、炭化珪葉を用いた パワー半導体装置及び半導体装置の製造方法に関する。 [0002]

(Metal Oxide Semiconductor Pield-Affect Transisto 一半導体被阻としては、接合型FET(Junclion Pield 【従来の技術】 炭化珪素 (SiC)は、絶段破壊圧が 倍、虹子の飽和ドリフト滋度がSiの約2倍など優れた 物性値を示すため、高難圧でオン抵抗の低いパワー半導 体装置を実現する材料として近年注目されている。パワ -Biffeet Transistor, 以下JFET), MOSFET のようなパワー半導体装置を配子部品のスイッチング祭 子として用いる場合、パワー半導体接置をノーマリーオ 1) , ダイオードなど様々なものが扱案されている。こ 田霖 (Si) やガリウムーヒ繋 (GaAs) の約10 フ型にすることが留ましい。

ノーマリーオフ型のMOSFETを製造してもチャネル 【発明が解決しようとする瞑題】しかしながら、SiC からなるパワー半導体装置では、SiCからなる半導体 MOSFETのチャネル移動度をあげるためにチャネル 形成的の不純物濃度を高くすることも考えられるが、そ **うするとMOSFETがノーマリーオン型になってしま** い、制御回路が複雑となり回路システム全体としての低 移動度が低下しオン抵抗が高くなったしまう。 そいた、 哥とSi0, 膜との界面特性の制御が困難であるため、

[0004]本発明は、上記瞑題を解決するためになさ れたものであり、オン抵抗が低くノーマリーオフ動作す ることができる高耐圧なパワー半導体被置を提供するこ とを目的とする。

治費気力化を図ることができない。

[0005]

の半導体基板に形成され炭化珪素からなり、前記第1の であって、前記第2のゲート型半導体探子は、炭化珪紫 【瞑題を解決するための手段】本発明の第1のパワー半 単体被固は、外部からの制御電圧に応じてオンオフする ノーマリーオフ型の第1のゲート型半導体繋子によりノ ーマリーオン型の第2のゲート型半導体祭子のオンオフ を制御してスイッチング動作を行なうパワー半導体装置 ゲート型半導体繋子は、前配半導体基板に形成され炭化 生衆と異なる材料からなることを特徴とする。

【0006】本発明の第1のパワー半導体装置では、耐 圧のほとんどを確保する第2の半導体繋子が炭化珪繋か らなるので、珪紫からなり岡附圧のパワー半導体装置と **外部からの慰御虹圧 モオンオフするノーマリーオフ型の** 第1のゲート型半導体繋子でノーマリーオン型の第2の 比較して全体としてオン抵抗が低くなっている。また、

ゲート型半導体繋子をオンオフできるので、全体として問題和圧に対してノーマリーオフ動作することができる。この結果、回路システム全体としての低消費電力化をある。この結果、回路システム全体としての低消費電力化

【0007】本発明の第1のパワー半導体接便において、前記第1のゲート型半導体繋子は、前記第2のゲート型半導体繋子は、前記第2のゲート型半導体繋子上に形成されているものとしてもよい。こうすれば、パワー半導体装置の装面銀の増加を抑える

【0008】本免明の第1のパワー半導体装配は、前記半導体基版の前記第2のゲート型半導体素子の形成面と 解なる面側に配置された第1の阻極と、前記第2のゲート型半導体業子上に配置され資配第1の環危と対となり 前記第2のゲート型半導体案子から前記第1のゲート型 半導体集子を介して電流を取り出す第2の紅砲と、前記 第1のゲート型半導体案子の5前記第1のゲート型 半導体素子を介して電流を取り出す第2の紅砲と、前記 第1のゲート型半導体案子のオンメン制御を行なう第3 の虹値と、を備えるものとしてもよい。こうすれば、こ の虹値と、を備えるものとしてもよい。こうすれば、こ の虹値と、を備えるものとしてもよい。こうすれば、こ の口値回いの間にの大部分を投化性素を対対とす。第2 のグート型半導体系でと中球はあ版とで係することが できるので、適断圧化を図ることができると共にノーマ

[0009]本発明の第2のパワー半導体接便は、外部からの制御配圧に応じてオンオフするノーマリーオフ型のグート型半導体発子と、前部グート型半導体発子と並列に後続された環流ダイオードとを解えるパワー半導体接回であって、前部環流ダイオードは、彼ら往親の半導体基板に形成され炭化油繋からなり、前部グート型半導体発展に形成され炭化油繋からなり、前部グート型半導体繋がらなることを特徴とする。

[0010]本発明の第2のパワー半導体接面では、ノーマリーオフ型のグート型半導体発子とこのグート型半導体発子と当別接続された環流ダイオードとを偉えているので、例えば、インパータ回路を構成するスイッチング繋子の一部などとして用いることができる。また、環流ダイオードは、設化出繋からなるので高耐圧領域においてもオン塩抗を低くすることができる。

でいると、近元日よい。このにした。 にの 0 1 1 2 本色明の節とのパワー半単存検配では、前 記グート型半導体株子は、前部団派タイオード上に形成 されているものとしてもよい。こうすれば、パワー半導 体接回の返回接の超回を削えることかできる。 (0012)本発明の半導体被団の製造方法は、一の導口型の半導体材料からなる第1半導体圏内に他の導電型の半導体材料からなり所定距離を隔てて配置されたこうの第2半導体関からなり所定距離を隔てて配置されたこうの第2半導体関立との表表が表かって、前記一の等の型の半導体材料からなる第1準関西を形成する第1準機関形成工程と、前記型の込み層を形成する類2半導体圏を成工程と、前記型の込み層の周辺に前記第2半導体圏を成立する第2半導体圏形成工程と、前記型め込み層の周辺に前記第2半導体圏を成立する第2半導体圏形成工程と、前記型め込み層の周辺に前記第2半導体圏を返決のにエッチングする国め込み層とッチング工程

と、前記第1準備商上に前記ーの導配型の半導体材料からなる野2準備商を形成し、第1準備商と贈2準備商と からなる第1半導体商を形成する第1半導体商形成工程と、を備えることを特徴とする。 【0013】本発明の半導体装置の製造方法では、イオン社入やアニール処理を行なうことなく一の導信型の半等体材料からなる第1半導体圏内に他の海電型の第3半導体圏を形成することができる。

【0014】本発明の半導体接面の製造方法において、 前記半導体材料は、供化珪製であってもよい。こうすれば、使化珪製を材料とする半導体接面の製造に通常必要な商品アニール処理を行なうことなる第1半導体圏のに第2半導体圏を形成することがでく、第1半導体圏内に第2半導体圏を形成することがでく、第1半導体圏内に第2半導体圏を形成することがで

[0015]

【発明の実施の形態】以下、本発明の実施の形態(以下突施形態という)を、図面に従って説明する。尚、各図において同一の機能を来たす構成要件には同一の符号をけし説明を始降する。

【0016】図1は、本実循形態の6004程度の耐圧を有するパワー半導体装置の1000構成の観路を示す断面図である。パワー半導体装置100は、半導体装板100に配成された15m120と、酸化膜21を介して、外部から低圧が四印加された一つのMOSFET40と、外部から低圧が四加されるインを確子60、ソース増子62、ドレイン維子60に印加される低圧をと3、ドレイン維子60に可加される低圧をと3、ドレイン維子60に可加される低圧をと3。バーに超出る低圧をVa、ドレイン維子64に印加される低圧をVa、ドレイン維子64に印加される低圧をVa、ドレイン維子64に印加される低圧をVa、ドレイン維子64に印加される低圧をVaとする。

[0017] 半導体基板10は、多形が4H又は6H, 面方位か(0001)又は(0001), of 自角度が 1度~10度, of 自有が[1120], 不能物道度 か10¹¹[cm-¹]程度の可型のSiCからなる数10 0[μm]程度の厚さの基板である。尚、半導体基板1 0は、多形が4H又は6H, 面方位(11-20)の基

(0018) JFET20は、半導体基板10上に形成され不純物値度か5×1015 [cm-1] 程度のn型のSiGからなる厚さか20ムn程度のドリフト層22と、ドリフト層22内にゲート幅Webだけ隔でて配置された1つのゲート層24、ドリフト層22の製置に形成された1のサート層24、ドリフト層22の製置に形成された1のサート層24、ドリフト層22の製置に形成が設度か3×101。「cm-1] 程度のp型のSiCかも形成されている。半導体基板10は、ドレイン領域をなっており、ドリフト層22の厚さで580[V]程度の所圧をできるよう形成されている。JFET20によいてサード層24の恒位をVjs,ソース領域26の配位をVjs,ゲートーソース回弧圧をVjs (= Vjs-Vjs)とすると、JFET20の動作は以下

Bとなる。即ち、JFET20は、ノーマリーオン型の 0のゲート層24と電気的に接続されn型のSiからな 40は、オン抵抗が十分小さくなるように形成されてお り、ゲート電極50の電位をVmg,ソース領域46の 喰位を∨ms,ゲート−ソース関虹圧を∨mgs(=∨ mgーVms)とすると動作は以下の通りとなる。Vm オン状態となるので半導体基板10とソース領域26と BBが所定値より小さいとき、JFET20は、オフ状 [0019]MOSFET40は、p型のSiからなる エピ暦42と、配総暦448を介してJFET20のソ **一ス領域26と電気的に接続されたn型のSiからなる** え、20【V】程度の附圧を有している。MOSFET り、Vmgs>0であってVmgsが所定値Vthmを の間に観流が流れる。一方、Vigs<0 であってVi ドレイン領域44と、配線層468を介してJFET2 るソース領域46と、酸化珪素 (SiO,) 膜48を介 BS=特のとき、MOSFET40は、オク状態とな の通りとなる。Vjgs=特のとき、JFET20は、 してエビ暦42上に配母されたゲート配極50とを備 半導体装置として動作するよう構成されている。

[0020]図2は、図1のように構成されたパワー半 尊体被阻100の等価回路図である。パワー半導体接阻 100の動作は、以下の通りである。ここで、パワー半 **| は接置100のゲート−ソース間電圧を∨gs(=∨** [0021] Vgs>VthmでVds>0のとき、M OSFET40は、オン状態となる。このどき、MOS FET40のオン抵抗は十分に小さいので、MOSFE F40のドレイン領域44の電位がVs程度になり、J つまり、JFET20のゲートーソース間貸圧Vjgs **= 特となりJFET20はオン状態となると、ドレイン** 留子64とソース増子62との間に电流が流れる。この 被壊電圧がSiの約10倍程度あるので、ドリフト層2 2の遺医を商くし厚みを薄くすることができる。この結 果、Siのみから形成される同耐圧のパワー半導体装置 とき、パワー半導体装置100において、SiCの絶線 g – V s)、ドレイン-ソース間ជ圧をV d s とする。 FET20のソース領域26の配位がVs程度となる。 と比較して全体としてオン抵抗を低くすることができ [0022] 一方、VBS=毎のとき、MOSFET40は、オフ状態となり、JFET20のソース領域26の塩化ソうおかMOSFET40の耐圧程度まで上昇して、V) BS<0となり、JFET20はオフ状態になる。このとき、ソース端半62とドレイン端半64との田の耐圧をほとんとをJFET20で確保しているが、SiCは、純緑玻璃電圧がSiの約10倍程度であるため、高附圧化を図ることができる。

[0023]以上説明したように、パワー半導体装置100は、ゲート結子60から田泊される住田におじてMOSFET40によりにより3FET20かオンオンも他的され、ノーマリーオン動作することができる。また、パワー半導体装置100は、開圧のほとんどをS1CからなるJFET20で確保しているので、オン抵抗を低くすることができると共

に商酎圧化を図ることができる。

[0024]次に、このようなパワー半導体接回10の製造方法について説明する。図3は、パワー半導体接回10の製造方法のつっち、JFET20のドリフト面22内にゲート層24を形成するゲート層形成工程を示すフローチャートであり、図4~図8は、図3に示した4年を扱10上にドリフト層22回じ材料からなり半導体基度10上にドリフト層22回じ材料からなり半導体基度10回多形の膜をエピタキシャル成長させ野10、図4)。第1準備層22aを形成する工程から始める(ステップS10、図4)。第1準備層22aを形成する工程から始める(ステップS10、図4)。第1準備層22aの厚さは、JFET20に要求される肝圧に応じて適宜調整される。

[0025]次に、第1準備用22a上にCVD(化学気由成長、Chemical Mapor deposition) 法を用いてSiOi政を形成した後、図1に示した二つのゲート層240間に領域に対応するSiOi股が残るようにバターニングし、埋め込み用70を形成する(ステップSi2のSi)。そして、CVD法を用いてゲート層24と同じ材料からなる収をエピタキシャル成長させた後、接面を形態して平坦化しゲート層24を形成する(ステップSi4、図6)。

ち、MOSFET40は、ノーマリーオフ型の半導体装

宜として動作するよう構成されている。

越えると、MOSFET40は、オシ状態となる。即

[0026]その後、ゲート層24より埋め込み層70のほうが遊くエッチングされる条件下で、例えば、フッ酸を用いたエッチングを行ない、埋め込み層10を選択的に勝去する(ステップS18, 図7)。このとき、RIE(反応性イオンエッチング、Resolive len elebin はを用いて埋め込み層70を選択的に除去してもよ

【0027】次に、銀出している第1草稿面22a上にドリフト面22と同じ材料のちなり半導体基版10と同多形の膜をエピタキシャル成長さ世第2準隔層22とを形成する(ステップS18, 図3)。その後、研路により要固を平担化し、第1準隔層24か形成される。図3に示したケート間を対すが液を用いると、高温イオン注入や高温アニール処理を行なうことなくドリフト面22内にドリアー面24を形成することが、イン注入法を用いてソース領域26を形成して後、イン注入法を用いてソース領域26を形成して後、イン注入法を用いてソース領域26を形成して後、S1から収え半導体報子を製造する際によく用いられる方法により、S1の模21上にMOSFET40と配続間44a、46aとを形成し、図1に示した。

9

170一半導体被回 100が完成する。

説する工程への適用に限定したものではなく、一の導虹 【0028】 街、図3に示した形成工権は、ドリフト圏 2.2 内にドリフト層と導転型の異なるゲート暦2.4 を形 型の半導体圏内に他の導虹型の半導体圏を形成する他の エ組へも適用することかできる。

である。Vgs>VthmでVds>0のとき、MOS ノース粒子62との間に包流が流れる。一方、Vgs= 【0029】パワー半導体数回100では、SiCから なるJFET20上にSiからなるMOSFET40を 5成したが、図9に示すパワー半導体装置200のよう に、JFET20に代えてノーマリーオン型のMOSF ET220を用いてもよい。MOSFET220は、不 Cからなる畑め込みチャネル圏52を有するnチャネル MOSFETとして存成されており、ノーマリーイン製 作する。図10は、パワー半導体数面200の単値回路 図であり、パワー半導体被雇200の動作は以下の通り FET40は、オン状態となる。すると、MOSFET 2 2 0のゲート-ソース間虹圧Vjgs=特となりMO 5 FET220はオン状態となってドレイン始子64と MOSFET220のソース領域26の14位Vjsが上 **畀して、Vjgs<0となり、MOSFET220はオ** 00は、附圧のほとんどをSiCからなるMOSFET 2 2 0 で確保しているので、オン抵抗を低くすることが 4.7動作することができる。また、パワー半導体装置2 【0030】図9に示したパワー半導体装置では、Si ゲート結子 60 から日台される 幕田に応じ アノーマリー 高物道度が1011~1014 [cm-1]程度のn型のSi 昇のとすると、MOSFET40は、オフ状態となり、 7 状態になる。このようなパワー半導体装置200は、 できると共に商献圧化を図ることができる。

【0031】パワー半導体装置100,200では、S I CPS & SJ FET 2 0 X LMOS FET 2 2 0 & Z の中部体上にSiからなる中部体数子としてMOSFE F を配置したが、Siからなる半導体数子はMOSFE I に限定したものではなく、ノーマリーオフ型の半導体 Cからなる半導体菓子も、JFETとMOSFETに限 記したものではなく、ノーマリーオン型の半導体祭子で **昇子であれば他の種類のものとしてもよい。また、Si** ている模型のものにすることもできる。 あれば他の種類のものとしてもよい。

パワー半導体装置400の等価回路図である。パワー半 【0032】図12は、他の契循形態のパワー半導体装 導体接回400は、例えば、インバーク回路を構成する 量400の梅根の概略を示す断面図であり、図13は、 スイッチング禁子の一部として用いられるものであり、

IGBT (Insulated Gate Bipolar Transistor) 34 0と、IGBT340と並列接続された環流ダイオード

320とを備えている。

[0033] 環流ダイオード320は、半導体結板10 n型のSiCからなる半導体圏322と、半導体圏32 本圏324内に形成され不純物濃度が3×1011[cm -1] 程度のp型のSiCからなる半導体圏326と、半 ニウムなどの金属材料よりなるショットキーロ極328 とを備え、ショットキーダイオードとして形成されてい 上に形成され不純物資度か5×1015 [cm-1] 権政の のn型のSiCからなる二つの半導体暦324と、半導 導体層322の疫菌の一部にショットキー接触しアルミ 2の両側に配置され不純物徴度が1.014 [cm-1] 程度

[0034] IGBT340は、n型のSiからなり不 気的に接続されたエミック暦342と、p型のSiから なりチャネルが形成されるポディ圏344と、n型のS .からなる不純物濃度の低いドリフト層346と、p型 p型のSiからなり不純物濃度の高いコレクタ圏350 ト鑷子360より印加されるQIEによりオンオフが制御 350は、コレクタ端子364と電気的に接続される 高物遺板の成くエミッタ箱子362と配換面328で包 とを備え、ゲート電極352と電気的に接続されたゲー されるノーマリーオフ型の半導体繋子である。コレクタ 2.共に配該暦354により母院ダイオード320の半導 のSiからなり不純物濃度の低いパッファ圈348と、 **は暦324と電気的に接続され、エミッタ暦342は、**

00では、頃流ダイオード320が炭化珪森からなるの 【0035】このように構成されたパワー半導体装置4 5.オン抵抗を低くすると共に高敞圧化を図ることができ ショットキー電極328と電気的に接続されている。

Cからなる半導体素子上にSiからなる半導体撰子を配 **聞したが、SiCからなる半導体祭子の横方向にSiか** .0036]各英施形態のパワー半導体装置では、Si らなる半導体探子を配置してもよい。

ル層52が半導体基板10の接面に水平な方向に延伸し

CからなるMOSFET220の畑め込みチャネル圏5 2 が半導体基板 1 0の殺さ方向に延伸した縦型チャネル のものとしたが、図11に示すように、埋め込みチャネ

こからなる半導体繋子上にSiからなる半導体案子を配 体繋子はSiに限定したものではなく、その他の半導体 【0037】各実施形態のパワー半導体装置では、Si **宜したが、SICからなる半導体茶子上に形成する半導** 才料からなる半導体案子を形成してもよい。 【発明の効果】本発明のパワー半導体装置では、第2の なるパワー半導体装置と比較して全体としてオン抵抗が **低くなっている。また、外部からの制御配圧でオンオフ** 半導体架子は炭化珪漿からなるので、同耐圧の珪漿から ーマリーオン型の第2のゲート型半導体繋子をオンオフ **できるので、全体として制御QIEに対してノーマリーオ** フ動作することができる。この結果、制御回路が簡略で するノーマリーオン型の第1のグート型半導体採子でノ

き、回路システム全体としての低消費配力化を図ること

【図8】 図3に示したステップS18におけるJFE

T 2 0 の断回図である。

[6図]

ノーマリーオン型のMOSFETを用いたバ

ワー半導体被置200の構成の機略を示す節圏図であ

図画の簡単な説明】

図1】 本実施形態の600V程度の耐圧を有するパ 7一半導体装置100の構成の概略を示す断面図であ

パワー半導体装置100の等価回路図であ [図2]

JFET20のドリフト圏22内にゲート層24を形成 パワー半導体装置100の製造方法のうち、 ・るグート圏形成工程を示すフローチャートである。 (<u>8</u>3)

図4】 図3に示したステップS10におけるJFE I 20の新国図である。

図5】 図3に示したステップS12におけるJFE [図7] 図3に示したステップS16におけるJFE 図6】 図3に示したステップS14におけるJFE (20の断面図である。) (200節面図である。

200節面図である。

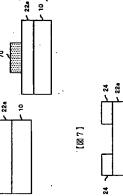
【図10】 パワー半導体徴回200の毎佰回路図であ 【図11】 埋め込みチャネル厨52が模型のパワー半 【図12】 他の契紙形態のパワー半導体被倒400の 単体被買300の梅戌の酸路を形す節固図である。

【図13】 パワー半導体被阻400の勢値回路図であ 構成の概略を示す節国図である。

10 半導体基板、20 JFET、40 MOSFE T、100,200,300,400 パワー半導体接 **型、220 MOSFET、320 環流ダイオード、** 340 IGBT. [符号の説明]

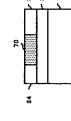
[図3] [図2] [⊠ [

1年番届224の形成 自め込み借70の事去 (お込み番70の形成 ゲート層24の移成 [図2] [図4]



[9図]

第2章書篇226の形成



9

BEST AVAILABLE COPY

